

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 6 日
Date of Application:

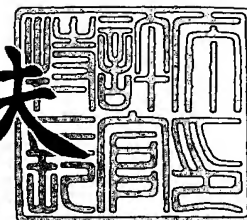
出 願 番 号 特 願 2 0 0 3 - 0 8 6 4 6 4
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 8 6 4 6 4]

出 願 人 三 洋 電 機 株 式 会 社
Applicant(s):

2 0 0 4 年 1 月 3 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 4 6 5 1

【書類名】 特許願

【整理番号】 KGA1030028

【提出日】 平成15年 3月26日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/30

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会
社内

 【氏名】 新井 啓之

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会
社内

 【氏名】 茂木 修治

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会
社内

 【氏名】 木村 毅

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会
社内

 【氏名】 徳永 哲也

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

【代理人】

 【識別番号】 100071283

 【弁理士】

 【氏名又は名称】 一色 健輔

【選任した代理人】

【識別番号】 100084906

【弁理士】

【氏名又は名称】 原島 典孝

【選任した代理人】

【識別番号】 100098523

【弁理士】

【氏名又は名称】 黒川 恵

【手数料の表示】

【予納台帳番号】 011785

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 蛍光表示管駆動回路

【特許請求の範囲】

【請求項 1】 蛍光表示管のフィラメントをパルス駆動するための蛍光表示管駆動回路において、

外部から受信するデータに基づき、前記フィラメントをパルス駆動するためのパルス駆動信号のパルス幅又はパルス周期の少なくともいずれか一方を設定可能とするフィラメントパルス制御手段を備えることを特徴とする蛍光表示管駆動回路。

【請求項 2】 前記外部から受信するデータは、前記パルス駆動信号のパルス幅を設定するためのパルス幅データを有し、

前記フィラメントパルス制御手段は、

前記受信したパルス幅データに対応したパルス幅を有する前記パルス駆動信号を生成することを特徴とする請求項 1 に記載の蛍光表示管駆動回路。

【請求項 3】 前記外部から受信するデータは、前記パルス駆動信号のパルス周期を設定するためのパルス周期データを有し、

前記フィラメントパルス制御手段は、

前記受信したパルス周期データに対応したパルス周期を有する前記パルス駆動信号を生成することを特徴とする請求項 1 又は 2 に記載の蛍光表示管駆動回路。

【請求項 4】 前記外部から受信するデータは、前記パルス駆動信号のパルス幅を設定するためのパルス幅データと、前記パルス駆動信号のパルス周期を設定するためのパルス周期データと、を有し、

前記フィラメントパルス制御手段は、

前記受信したパルス幅データに対応したパルス幅の期間、前記パルス駆動信号を一方のレベルとし、前記受信したパルス周期データに対応したパルス周期のうち、前記パルス幅以外の期間、前記パルス駆動信号を他方のレベルとすることにより、前記パルス駆動信号のパルス幅又はパルス周期の少なくともいずれか一方を設定することを特徴とする請求項 1 に記載の蛍光表示管駆動回路。

【請求項 5】 前記フィラメントパルス制御手段は、

前記パルス幅データと基準クロック信号に基づくカウント値とを比較する第1の比較手段と、

前記パルス周期データと基準クロック信号に基づくカウント値とを比較する第2の比較手段と、

基準クロック信号を所定分周して前記カウント値を生成するとともに、前記第1の比較手段又は前記第2の比較手段における比較結果が一致した場合に、前記カウント値がリセットされるカウンタ手段と、

前記第1の比較手段における比較結果が一致した場合に、前記パルス駆動信号を一方のレベルとし、前記第2の比較手段における比較結果が一致した場合に、前記パルス駆動信号を他方のレベルとする手段と、
を有することを特徴とする請求項4に記載の蛍光表示管駆動回路。

【請求項6】 前記蛍光表示管駆動回路は、半導体集積回路であり、前記パルス駆動信号に基づき、前記フィラメントをパルス駆動するための電圧を生成するスイッチング素子を外部に接続可能とすることを特徴とする請求項1乃至5のいずれかに記載の蛍光表示管駆動回路。

【請求項7】 前記パルス駆動信号に基づき、前記フィラメントをパルス駆動するための電圧を生成するスイッチング素子を有することを特徴とする請求項1乃至5のいずれかに記載の蛍光表示管駆動回路。

【請求項8】 前記蛍光表示管駆動回路は、半導体集積回路であり、前記スイッチング素子を外部に接続可能とすることを特徴とする請求項7に記載の蛍光表示管駆動回路。

【請求項9】 前記蛍光表示管駆動回路は、前記スイッチング素子を集積化した半導体集積回路であることを特徴とする請求項7に記載の蛍光表示管駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、フィラメントのパルス駆動方式を用いた蛍光表示管駆動回路に関する。

【0002】

【従来の技術】

蛍光表示管 (Vacuum fluorescent Display、以下、VFDと称す) は、真空容器の中で、フィラメントと呼ばれる直熱形カソードに電圧を印加してフィラメントを発熱させることにより熱電子を放出させ、その熱電子をグリッドにて加速させてアノード (セグメント) 上の蛍光体に衝突発光させることにより所望のパターンを表示する自発光型の表示デバイスのことである。VFDは、視認性、多色化、低動作電圧、信頼性 (耐環境性) などの面において優れた特徴を有しており、自動車用、家電用、民生用など様々な用途・分野において利用されている。

【0003】

また、VFDについては、フィラメントに電圧を印加する方式の一つとして、パルス駆動方式が提案されている。パルス駆動方式とは、フィラメントの通常の定格電圧と比べてかなり高い直流電圧をチョッピングしたパルス電圧 (以下、フィラメントパルス電圧と称す) をフィラメントに印加する方式のことであり、輝度傾斜の小さな発光状態が得られるなどの特徴を有する。

【0004】

図8は従来のパルス駆動方式を説明する図である。同図に示すように従来のパルス駆動方式では、外部発振器30、又はフィラメント11を駆動する素子を内蔵若しくは外部に接続したマイコンなどの外部コントローラ40において、一定のデューティー比を有するフィラメントパルス電圧を、基準クロック信号 (外部発振器30の場合は発振クロック、外部コントローラ40の場合はシステムクロック) に基づいて設定し、フィラメント11に対して印加し続けることになる。

なお、上述した外部発振器30や外部コントローラ40などの、従来のパルス駆動方式を用いたVFD駆動回路としては、例えば、以下に示す特許文献1に開示された技術がある。

【0005】

【特許文献1】

特開 2002-108263 号公報

【0006】

【発明が解決しようとする課題】

ところで、フィラメントパルス電圧は、従来のVFD駆動回路にて、一定のデューティー比にてフィラメントに印加されるように設定されつつも、フィラメントを駆動する素子のバラツキや温度特性、さらにはフィラメント電源電圧の変動などによって、デューティー比の変動を招くことになる。また、その変動によって、フィラメントパルス電圧の実効値が、その定格値に対して規定される許容範囲内（例えば、定格値±10%程度）から外れてしまい、VFD表示における輝度品位の低下や、フィラメントを劣化させて寿命を短くするといった問題が生じていた。

【0007】

そこで、近年、VFD駆動回路に対して更なる信頼性向上の要求が高まってきており、上述した問題に対処するために、フィラメントパルス電圧のデューティー比を、適宜なタイミングにて、きめ細かく調整する（分解能を向上させる）仕組みを備えることが要請されている。なお、従来のVFD駆動回路では、フィラメントパルス電圧を設定するための基準クロック信号の周波数を高く設定することによって、フィラメントパルス電圧のデューティー比調整に関する分解能を向上することができる。

【0008】

しかしながら、従来のVFD駆動回路では、フィラメントパルス電圧のデューティー比調整に関する分解能を向上させるために、基準クロック信号の周波数をあまりにも高く設定すると、消費電力が大きくなるとともに、ラジオ等の装置に妨害を与えるノイズを発生する等の問題が生じることになる。その一方で、基準クロック信号の周波数を低く設定する（周期を長くする）と、フィラメントパルス電圧の周波数も同様に低くなる。そのために、フィラメントパルス電圧の周波数が可聴帯域内（一般的に20KHz以下となる）に入ってしまう、フィラメントより音ノイズを発生させるという問題が生じることになる。

本発明は、以上のような経緯に基づいてなされたものであり、パルス駆動方式の蛍光表示管駆動回路の信頼性を向上させることを目的とする。

【0009】

【課題を解決するための手段】

前記課題を解決するための主たる本発明は、蛍光表示管のフィラメントをパルス駆動するための蛍光表示管駆動回路において、外部から受信するデータに基づき、前記フィラメントをパルス駆動するためのパルス駆動信号のパルス幅又はパルス周期の少なくともいずれか一方を設定可能とするフィラメントパルス制御手段を備えることである。

【0010】

本発明に係る蛍光表示管駆動回路は、上記のような特徴を有することによって、パルス駆動信号（すなわち、フィラメントパルス電圧）のデューティ比を、適宜なタイミングにて、きめ細かく調整することが可能となる。このことは、フィラメントパルス電圧のデューティ比の変動に起因した、蛍光表示管の輝度品位の低下やフィラメントの劣化などを抑制できるので、蛍光表示管駆動回路の信頼性を向上させることができる。

本発明の他の特徴については、添付図面及び本明細書の記載により明らかにする。

【0011】

【発明の実施の形態】

=== 開示の概要 ===

以下の開示により、少なくとも次のことが明らかにされる。

蛍光表示管のフィラメントをパルス駆動するための蛍光表示管駆動回路において、外部から受信するデータに基づき、前記フィラメントをパルス駆動するためのパルス駆動信号のパルス幅又はパルス周期の少なくともいずれか一方を設定可能とするフィラメントパルス制御手段を備えることを特徴とする蛍光表示管駆動回路。

【0012】

このように、本発明に係る蛍光表示管駆動回路では、パルス駆動信号（すなわち、フィラメントパルス電圧）のデューティ比を、外部から受信するデータに基づき、適宜なタイミングにて、きめ細かく調整することが可能となる。このこ

とは、フィラメントパルス電圧のデューティー比の変動に起因した、蛍光表示管の輝度品位の低下やフィラメントの劣化などを抑制できるので、蛍光表示管駆動回路の信頼性を向上させることができる。なお、本発明の他の好ましい態様を以下に記載する。

【0013】

本発明の第2の態様について、前記外部から受信するデータは、前記パルス駆動信号のパルス幅を設定するためのパルス幅データを有し、前記フィラメントパルス制御手段は、前記受信したパルス幅データに対応したパルス幅を有する前記パルス駆動信号を生成する。

なお、上述したパルス幅データとは、例えば、後述の4ビットのシリアルデータ W_n ($W_0 \sim W_3$)である。また、パルス駆動信号のデューティー比調整、特にパルス幅データの設定が所望の分解能を達成するように、上述したシリアルデータ W_n のビット数を適切な値に設定することが可能である。すなわち、本発明に係る蛍光表示管駆動回路は、外部から受信する上述したパルス幅データに基づき、適宜なタイミングにて、パルス駆動信号（すなわち、フィラメントパルス電圧）のパルス幅をきめ細かく設定することが可能である。

【0014】

本発明の第3の態様について、前記外部から受信するデータは、前記パルス駆動信号のパルス周期を設定するためのパルス周期データを有し、前記フィラメントパルス制御手段は、前記受信したパルス周期データに対応したパルス周期を有する前記パルス駆動信号を生成する。

なお、上述したパルス周期データとは、例えば、後述の7ビットのシリアルデータ C_n ($C_0 \sim C_6$)である。また、パルス駆動信号のデューティー比調整、特にパルス周期データの設定が所望の分解能を達成するように、上述したシリアルデータ C_n のビット数を適切な値に設定することが可能である。すなわち、本発明に係る蛍光表示管駆動回路において、外部から受信する上述したパルス周期データに基づき、適宜なタイミングにて、パルス駆動信号（すなわち、フィラメントパルス電圧）のパルス周期をきめ細かく設定することが可能である。

【0015】

また、好ましくは、本発明に係る蛍光表示管駆動回路において、外部から受信する上述したパルス幅データ及びパルス周期データに基づき、適宜なタイミングにて、パルス駆動信号（すなわち、フィラメントパルス電圧）のパルス幅及びパルス周期をきめ細かく設定することが可能である。なお、このような本発明に係る蛍光表示管駆動回路の態様としては、以下の第4及び第5の態様となる。

【0016】

本発明の第4の態様について、前記外部から受信するデータは、前記パルス駆動信号のパルス幅を設定するためのパルス幅データと、前記パルス駆動信号のパルス周期を設定するためのパルス周期データと、を有し、前記フィラメントパルス制御手段は、前記受信したパルス幅データに対応したパルス幅の期間、前記パルス駆動信号を一方のレベルとし、前記受信したパルス周期データに対応したパルス周期のうち、前記パルス幅以外の期間、前記パルス駆動信号を他方のレベルとすることにより、前記パルス駆動信号のパルス幅又はパルス周期の少なくともいずれか一方を設定する。

【0017】

本発明の第5の態様について、前記フィラメントパルス制御手段は、前記パルス幅データと基準クロック信号に基づくカウント値とを比較する第1の比較手段と、前記パルス周期データと基準クロック信号に基づくカウント値とを比較する第2の比較手段と、基準クロック信号を所定分周して前記カウント値を生成するとともに、前記第1の比較手段又は前記第2の比較手段における比較結果が一致した場合に、前記カウント値がリセットされるカウンタ手段と、前記第1の比較手段における比較結果が一致した場合に、前記パルス駆動信号を一方のレベルとし、前記第2の比較手段における比較結果が一致した場合に、前記パルス駆動信号を他方のレベルとする手段と、を有する。

【0018】

本発明の第6の態様について、前記蛍光表示管駆動回路は、半導体集積回路であり、前記フィラメントをパルス駆動するための電圧を生成するスイッチング素子を外部に接続可能とする。

なお、上述したスイッチング素子とは、例えば、Pch-MOS型FETやN

c h-MOS型FETであり、本発明に係る蛍光表示管駆動回路は、このようなスイッチング素子を外部に接続可能とするインタフェース（後述のFPCON端子）を備えるようにしてもよい。

【0019】

本発明の第7の態様について、前記パルス駆動信号に基づき、前記フィラメントをパルス駆動するための電圧を生成するスイッチング素子を有する。

【0020】

このように、本発明では、本発明に係る蛍光表示管駆動回路を用いた様々なアプリケーション回路（例えば、蛍光表示管モジュール）に対して、上述したスイッチング素子を備えるようにしてもよい。好ましくは、前記蛍光表示管駆動回路は、半導体集積回路であり、前記スイッチング素子を外部に接続可能としてもよい（本発明の第8の態様）、前記蛍光表示管駆動回路は、前記スイッチング素子を集積化した半導体集積回路としてもよい（本発明の第9の態様）。

【0021】

=== 実施例 ===

以下、本発明の実施の形態を図面に基づいて具体的に説明する。

【0022】

<システム構成>

図1は、本発明に係る一実施形態であるパルス駆動方式のVFD駆動回路20を含めたシステムの概略構成図である。以下では、同図に示すように、グリッド電極12及びセグメント電極13の駆動をダイナミック駆動方式とし、グリッド電極12を駆動するためのグリッド駆動信号のデューティサイクル（パルス幅／繰り返し周期）が“1／2”であり（すなわち、グリッド（桁数）が2桁）、“90”セグメント出力に対応したVFD駆動回路20に関して、本発明を実施した場合について説明する。なお、本発明に係るVFD駆動回路20は、上述したグリッド数（2桁）及びセグメント数（90セグメント）に限定されるものではなく、また、グリッド電極12及びセグメント電極13の駆動を、ダイナミック駆動方式又はスタティック駆動方式の少なくともいずれかを組み合わせた駆動方式としてもよい。例えば、スタティック駆動方式を採用した場合には、セグメン

ト数分のセグメント電極 1 3 と、一つのグリッド電極 1 2 にて全ての桁表示を行う。この場合、一つのグリッド電極 1 2 には、一定の電圧（グリッド電圧）が印加される。

【 0 0 2 3 】

なお、上述したダイナミック駆動方式及びスタティック駆動方式の概要としては、例えば、産業図書発行の「ディスプレイ技術シリーズ 蛍光表示管」1 5 4 頁～1 5 8 頁に記載されている。

【 0 0 2 4 】

まず、V F D 駆動回路 2 0 の周辺回路に関して、V F D 1 0、外部発振器 3 0、外部コントローラ 4 0、スイッチング素子 5 0 を順に説明する。

V F D 1 0 は、フィラメント 1 1、グリッド電極 1 2、セグメント（アノード）1 3 によって構成される。フィラメント 1 1 は、V F D 駆動回路 2 0 からスイッチング素子 5 0 を介して、パルス駆動方式に基づきフィラメントパルス電圧が供給されることによって加熱され、熱電子を放出する。グリッド電極 1 2 は、桁選択用の電極として作用し、フィラメント 1 1 から放出された熱電子を加速もしくは遮断する。セグメント電極 1 3 は、セグメント選択用の電極として作用する。なお、セグメント電極 1 3 の表面上には、表示すべきパターンの形状にて蛍光体が塗布されており、グリッド 1 2 にて加速された熱電子を、その蛍光体に衝突発光させることによって、所望のパターンが表示される。

【 0 0 2 5 】

また、V F D 1 0 では、グリッド 1 2 電極からは各桁ごとに独立して別々にリード線が引き出される一方、セグメント電極 1 3 からは各桁ごとに対応するセグメントどうしを共通に内部接続してリード線が引き出される。これらのグリッド電極 1 2 及びセグメント電極 1 3 から引き出されたリード線は、それぞれ V F D 駆動回路 2 0 の対応する出力端子（グリッド出力端子は G 1 ～ G 2、セグメント出力端子は S 1 ～ S 4 5）と接続される。

【 0 0 2 6 】

外部発振器 3 0 は、抵抗 R や容量素子 C などによって構成される R C 発振手段であり、V F D 駆動回路 2 0 の発振器用端子（O S C I 端子、O S C O 端子）と

接続されることにより、RC発振回路を構成する。なお、外部発振器30は、固有の発振周波数を有する水晶振動子やセラミック振動子などとし、自走発振手段としての水晶又はセラミック発振回路を構成するようにしてもよい。また、外部発振器30は、他走発振用のクロック信号をVFD駆動回路20に供給する他走発振手段としてもよい。

【0027】

外部コントローラ40は、VFD駆動素子を含まないマイコンなどであり、シリアルデータ転送用のデータバスを介してVFD駆動回路20と接続されており、所定のデータ転送フォーマットにて、VFD10を駆動するために必要な信号をVFD駆動回路20に送信する。なお、外部コントローラ40とVFD駆動回路20との間のデータ転送としては、上述したシリアルデータ転送に限らず、パラレルデータ転送としてもよい。

【0028】

スイッチング素子50は、PchのMOS型FETであり、そのゲート端子が、後述するパルス駆動信号を出力するVFD駆動回路20のFPCON端子と接続されている。なお、スイッチング素子50としては、例えば、NchのMOS型FETによる構成としてもよいし、NchのMOS型FETとPchのMOS型FETを組み合わせた構成としてもよい。また、スイッチング素子50は、VFD駆動回路20のFPCON端子から供給されるパルス駆動信号に応じてオン／オフ（スイッチング）動作することによって、フィラメント電源電圧VFLから、VFD10のフィラメント11に印加するフィラメントパルス電圧を生成する。

【0029】

なお、図1に示されているVFD駆動回路20の入力端子としてのFPR端子は、スイッチング素子50の入出力特性に応じて、FPCON端子から出力されるパルス駆動信号の極性を設定するものであり、例えば、図1に示すように、スイッチング素子50にPch-MOS型FETを採用した場合には、FPR端子に電源電圧VDD（“H”固定）を接続する。また、スイッチング素子50にNch-MOS型FETを採用した場合には、FPR端子を接地（“L”固定）する。

【0030】

図2は、外部コントローラ40とVFD駆動回路20との間のデータ転送フォーマットについてのタイミングチャートである。同図に示すように、データ転送フォーマットとしては、グリッド電極G1に関するシーケンス（以下、G1シーケンスと称す）と、グリッド電極G2に関するシーケンス（以下、G2シーケンスと称す）と、を有する。なお、データ転送フォーマットとしては、前述したフォーマットに限定されるものではなく、例えば、G1シーケンス及びG2シーケンスを一回のシーケンスにて実行してもよい。

【0031】

以下、G1シーケンス及びG2シーケンスについて概略的に説明する。

まず、G1シーケンスにおいて、外部コントローラ40は、同期クロック信号CLと併せてVFD駆動回路20に付与されたバスアドレス（8ビット）をVFD駆動回路20に送信する。VFD駆動回路20は、受信したバスアドレスが自身に付与されたバスアドレスか否かを識別する。そして、自身のバスアドレスであると識別すると、外部コントローラ40から受信したバスアドレスに付帯して送信される制御命令（後述のコントロールデータなど）を、自身への制御命令として受け付ける。このように、バスアドレスとは、個々のICに付与された固有のアドレスのことであり、外部コントローラ40と複数のICが同一のバスライン上に接続された実施形態において、外部コントローラ40が、同一のバスライン上の複数のICを制御するために用いられる。

【0032】

つぎに、外部コントローラ40は、チップイネーブル信号CEをアサート（Hレベルとする）してVFD駆動回路20をイネーブル（選択）状態とし、引き続いて、グリッド電極G1に関する45ビットの表示データ（D1～D45）、VFD駆動回路20の各制御に用いられる16ビットのコントロールデータ等を送信する。なお、16ビットのコントロールデータは、輝度調整を行うためのディマ調整データ（DM0～DM9）、グリッド識別子DD（例えば、グリッド電極G1の場合は”1”、グリッド電極G2の場合は”0”とする）等を有する。この後、外部コントローラ40は、チップイネーブル信号CEをネゲート（Lレベル

とする) し、VFD 駆動回路 20 をディゼーブル (非選択) 状態にするとともに、同期クロック信号 CL の送信を停止し、G1 シーケンスを完結する。

【0033】

一方、G2 シーケンスでは、上述した G1 シーケンスと同様な手順にて、グリッド電極 G2 に関する 45 ビットの表示データ (D46 ~ D90) が送信される。なお、G2 シーケンスにおいて、VFD 駆動回路 20 に送信されるコントロールデータとしては、後述する 7 ビットのパルス周期データ C_n (C0 ~ C6) 及び 4 ビットのパルス幅データ W_n (W0 ~ W3) などを有する。

【0034】

<VFD 駆動回路>

図 3 は、本発明に係るパルス駆動方式の VFD 駆動回路 20 のブロック図である。

VFD 駆動回路 20 は、インタフェース部 201、発振回路 202、分周回路 203、タイミング発生器 204、シフトレジスタ 205、コントロールレジスタ 206、ラッチ回路 207、マルチプレクサ 208、セグメントドライバ 209、グリッドドライバ 210、ディマー制御手段 211、フィラメントパルス制御手段 212 と、を有する。

【0035】

インタフェース部 201 は、外部コントローラ 40 との間において、図 2 に示したようなデータの送受信を行うインタフェース手段である。

発振回路 202 は、外部発振器 30 が発振器用端子と接続されることによって、VFD 駆動回路 20 に関する基準クロック信号を生成する。この基準クロック信号は、分周回路 203 によって所定の分周数に分周され、タイミング発生器 204 に供給される。なお、基準クロック信号 (発振クロック) の周波数は、フィラメント 11 にて音ノイズが発生しないように可聴帯域以上にするとともに、VFD 駆動回路 20 の消費電力やラジオノイズなどの影響を鑑みて、所定の上限周波数以下となるように設定する。

【0036】

タイミング発生器 204 は、分周回路 203 から供給された信号に基づいて、

グリッド電極 12 を駆動するための信号（以下、グリッド駆動信号と称す）のタイミング等を決定する信号（以下、基準信号 A）や、フィラメントパルス制御手段 212 において、後述するパルス駆動信号のタイミング等を決定する信号（以下、基準信号 B）などを出力する。

【0037】

シフトレジスタ 205 は、上述した G1 又は G2 シーケンスごとにインタフェース部 201 にて受信した、45 ビットの表示データ、16 ビットのコントロールデータ（ディマー調整データ、パルス幅データ、パルス周期データ、グリッド識別子 DD などを含む）をパラレルデータに変換し、コントロールレジスタ 206、ラッチ回路 207、フィラメントパルス制御手段 212 などに供給する。

【0038】

コントロールレジスタ 206 は、シフトレジスタ 205 から供給される 32 ビット（16 ビット×2）のコントロールデータを格納する。なお、コントロールレジスタ 206 に格納されたコントロールデータについて、それに含まれるディマー調整データは、ディマー制御手段 211 に供給される。

ラッチ回路 207 は、シフトレジスタ 205 から供給された、グリッド電極 G1 に関する 45 ビットの表示データ及びグリッド電極 G2 に関する 45 ビットの表示データを保持する（すなわち、90 ビットの表示データを保持することになる）。

【0039】

マルチプレクサ 208 は、グリッド電極 G1～G2 それぞれを駆動するタイミングにて、ラッチ回路 207 にて保持されている 90 ビットの表示データから、駆動する方のグリッド電極 12 に関する 45 ビットの表示データを選択し、セグメントドライバ 209 に供給する。

セグメントドライバ 209 は、マルチプレクサ 208 にて選択・供給された 45 ビットの表示データに基づいて、セグメント電極 S1～S45 を駆動するための信号（以下、セグメント駆動信号と称す）を形成し、セグメント電極 S1～S45 に出力する。

グリッドドライバ 210 は、タイミング発生器 204 から供給される基準信号

Aに基づいて、グリッド駆動信号を形成し、グリッド電極G1～G2に出力する。

【0040】

デイマー制御手段211は、コントロールレジスタ206から供給される輝度調整用のデイマー調整データに基づき、上述したセグメント駆動信号やグリッド駆動信号のデューティ比を調整する。

フィラメントパルス制御手段212は、タイミング発生器204から供給される基準信号Bに基づいて、フィラメント11をパルス駆動するためのパルス駆動信号を形成し、FP CON端子を介してスイッチング素子50に出力する。また、フィラメントパルス制御手段212は、FPR端子から供給される信号に基づいて、パルス駆動信号の極性を設定する。例えば、FPR端子を”L”固定とした場合、パルス駆動信号は、図4に示すような波形となる。

【0041】

なお、本発明に係るVFD駆動回路20では、フィラメントパルス制御手段212において、外部コントローラ40から受信するパルス幅データ及びパルス周期データに基づいて、パルス駆動信号のパルス幅又はパルス周期の少なくともいずれか一方を設定することができる。以下、本発明に係るフィラメントパルス制御手段212の一実施形態について説明する。

【0042】

<フィラメントパルス制御手段>

まず、本発明に係るVFD駆動回路20において、外部コントローラ40から受信するパルス幅データ、パルス周期データの一実施形態を、それぞれ図5、図6を用いて説明する。

【0043】

=== パルス幅データ ===

図5は、本発明に係るパルス幅データの設定に関する対照表である。

同図に示すように、外部コントローラ40から送信するパルス幅データは、例えば、W0をLSB (Least Significant Bit) とする4ビットのシリアルデータWn (W0～W3) となる。外部コントローラ40は、この4ビットのシリア

ルデータ W_n ($W_0 \sim W_3$) をパルス幅データとして、上述した G2 シーケンスにて送信する 16 ビットのコントロールデータに含めて、VFD 駆動回路 20 に送信する。

【0044】

一方、パルス幅データ ($W_0 \sim W_3$) は、パルス駆動信号のパルス幅の設定値と対応づけされており、VFD 駆動回路 20 にてパルス幅の設定値にデコード化されることになる。なお、パルス幅の設定値は、例えば、VFD 駆動回路 20 の発振回路 202 において生成される基準クロック信号の周期 ($1/f_{osc}$ (基準クロック信号の周波数)) を基準とした値としてもよい。この場合、パルス駆動信号のパルス幅は、“パルス幅の設定値/ f_{osc} ”によって算定された値となる。

【0045】

なお、同図によると、一設計手段として、パルス幅データ ($W_0 \sim W_3$) が “0000” となる場合にパルス幅の設定を禁止しているが、例えば、パルス幅データ ($W_0 \sim W_3$) が “0000” から、パルス幅の設定値を割り当てるようにしてもよい。

また、パルス幅データとしてのシリアルデータ W_n のビット数は、上述した 4 ビットに限らず、パルス駆動信号のパルス幅設定が所望の分解能となるように適切な値に設定されることになる。

【0046】

このようにして、本発明に係る VFD 駆動回路では、外部から受信するパルス幅データに基づき、適宜なタイミングにて、パルス駆動信号 (すなわち、フィラメントパルス電圧) のパルス幅をきめ細かく設定することが可能となる。

【0047】

=== パルス周期データ ===

図 6 は、本発明に係るパルス周期データに関する対照表である。

同図に示すように、外部コントローラ 40 からパルス周期データとして送信するデータとしては、例えば、 C_0 を LSB とする 7 ビットのシリアルデータ ($C_0 \sim C_6$) となる。なお、外部コントローラ 40 は、この 7 ビットのシリアルデータ ($C_0 \sim C_6$) をパルス周期データとして、上述した G2 シーケンスにて送

信する 16 ビットのコントロールデータに含めて、VFD 駆動回路 20 に送信する。

【0048】

一方、パルス周期データ (C0 ~ C6) は、パルス駆動信号のパルス周期の設定値と対応づけさせており、VFD 駆動回路 20 にてパルス周期の設定値にデコード化されることになる。なお、パルス周期の設定値は、VFD 駆動回路 20 の発振回路 202 において生成される基準クロック信号の周期 ($1/f_{osc}$ (基準クロック信号の周波数)) を基準とした値としてもよい。この場合、パルス駆動信号のパルス周期は、"パルス周期の設定値/ f_{osc} "によって算定された値となる。

【0049】

なお、同図によると、一設計手段として、バイナリデータ (C0 ~ C6) が "0000" 及び "1111" となる場合にパルス周期の設定を禁止するようにしているが、例えば、バイナリデータ (C0 ~ C6) が "0000" から、パルス周期の設定値を割り当てるようにしてもよい。

また、パルス周期データとしてのシリアルデータ Cn のビット数は、上述した 7 ビットに限らず、パルス駆動信号のパルス周期設定が、所望の分解能を達成するように適切な値に設定されることになる。

【0050】

このようにして、本発明に係る VFD 駆動回路では、外部から受信するパルス周期データに基づき、適宜なタイミングにて、パルス駆動信号 (すなわち、フィラメントパルス電圧) のパルス周期をきめ細かく設定することが可能となる。

【0051】

=== 回路構成 ===

図 7 は、本発明に係る一実施形態としてのフィラメントパルス制御手段 212 の回路構成図である。なお、図 7 に示すフィラメントパルス制御手段 212 は、図 5 に示したパルス幅の設定と、図 6 に示したパルス周期の設定を実現するための一回路構成である。

【0052】

フィラメントパルス制御手段 212 は、図 7 に示すように、第 1 の比較手段 7

1 と、第 2 の比較手段 7 2 と、カウンタ手段 7 3 と、パルス駆動信号生成手段 7 7 と、を有する。

【0 0 5 3】

第 1 の比較手段 7 1 は、外部コントローラ 4 0 から受信するパルス幅データ (W 0 ~ W 3) と、カウンタ手段 7 3 の出力としての基準クロック信号に基づくカウント値 (1 T ~ 4 T) と、を比較する手段であり、例えば、4 つの E x (Exclusive) NOR 素子と、1 つの AND 素子によって構成される。すなわち、第 1 の比較手段 7 1 は、それぞれの E x - NOR 素子において、パルス幅データ (W 0 ~ W 3) とカウント値 (1 T ~ 4 T) との間の対応するビット比較の結果が一致となる場合には、AND 素子から "1" を出力する。また、いずれかの E x - NOR 素子にて、ビット比較の結果が不一致となる場合には、AND 素子の出力は "0" となる。

【0 0 5 4】

なお、図 7 によると、第 1 の比較手段 7 1 は、上述した構成以外に、1 つの 3 入力 (負論理) AND 素子を有する。この AND 素子は、回路規模を抑えるためにカウンタ手段 7 3 を第 2 の比較手段 7 2 と共用させた結果、カウント値 (5 T ~ 7 T) に関する比較動作を無効とするためのものである。また、第 1 の比較手段 7 1 は、上述した構成に限定されるものではなく、パルス幅データ (W 0 ~ W 3) とカウント値 (1 T ~ 4 T) とを比較し、その結果を出力する (例えば、一致した場合に "1" を出力) ゲート回路でさえあればよく、また、パルス幅データのビット値に応じて、そのゲート回路の構成素子の個数等が変更されることになる。

【0 0 5 5】

第 2 の比較手段 7 2 は、外部コントローラ 4 0 から受信するパルス周期データ (C 0 ~ C 6) と、後述のカウンタ手段 7 3 の出力としての基準クロック信号に基づくカウント値 (1 T ~ 7 T) と、を比較する手段であり、例えば、7 つの E x (Exclusive) NOR 素子と、1 つの AND 素子によって構成される。すなわち、第 2 の比較手段 7 2 は、それぞれの E x - NOR 素子において、パルス周期データ (C 0 ~ C 6) とカウント値 (1 T ~ 7 T) との間の対応するビット比較

が一致となる場合には、AND素子から”1”を出力する。また、いずれかのE_x-NOR素子にて、ビット比較が不一致となる場合には、AND素子の出力は”0”となる。

【0056】

なお、第2の比較手段72は、上述した構成に限定されるものではなく、パルス幅データ(C0～C6)とカウント値(1T～7T)とを比較し、その結果を出力する(例えば、一致した場合に”1”を出力)ゲート回路でさえあればよく、また、パルス周期データのビット値に応じて、そのゲート回路の構成素子の個数等が変更されることになる。

【0057】

カウンタ手段73は、発振回路202にて生成された基準クロック信号を7分周して、カウント値(1T～7T)を生成するとともに、第1の比較手段71又は第2の比較手段72におけるビット比較の結果が一致した場合に(例えば、第1の比較手段71又は第2の比較手段72におけるAND素子の出力が”1”)、カウント値(1T～7T)がリセットされる手段である。

【0058】

上述したカウンタ手段73としては、例えば、図7に示すように、7つのリセット端子付きTフリップフロップを直列に接続した分周回路によって実現することができる。なお、カウンタ手段73は、Tフリップフロップ以外に様々なフリップフロップ素子(例えば、DフリップフロップやJKフリップフロップなど)を用いたゲート回路にて構成可能であり、また、パルス幅又はパルス周期の少なくともいずれか一方の設定に関して必要とされる分解能に応じて、基準クロック信号の分周数が増えたり減ったりするとともに、そのゲート回路の構成素子の個数等が変更されることになる。

【0059】

パルス駆動信号生成手段77は、第1の比較手段71における各ビット比較の結果が全て一致した場合に、パルス駆動信号を一方のレベル(例えば、”0”)とし、第2の比較手段72における各ビット比較の結果が全て一致した場合に、パルス駆動信号を他方のレベル(例えば、”1”)とする手段であり、例えば、図7

に示すように、Dフリップフロップ74、75と、RSフリップフロップ76によって構成される。

【0060】

=== 回路動作 ===

以下、フィラメントパルス制御手段212の動作を、図4を用いて概略的に説明する。

まず、図4に示す時刻T0において、カウンタ手段73は、自身の出力としてのカウンタ値(1T~7T)の各ビットが"0"の状態(以下、リセット状態と称す)にあるものとする。カウンタ手段73は、この状態から、128(2の7乗)進カウンタとして、基準クロック信号に基づいてカウンタ値(1T~7T)を順次インクリメントする。

【0061】

つぎに、図4に示す時刻T1では、第2の比較手段72において、カウンタ手段73の出力としてのカウンタ値(1T~7T)と、外部コントローラ40から受信するパルス周期データ(C0~C6)とが一致し、Dフリップフロップ74に対して"1"を出力する。そして、基準クロック信号の立ち上がりによって、Dフリップフロップ74、RSフリップフロップ76にて、順次"1"がセットされるとともに、パルス駆動信号は、"0"レベルから"1"レベルに切り替わる。

なお、Dフリップフロップ74にて"1"がセットされると、カウンタ手段73のカウンタ値(1T~7T)はリセット状態に遷移するとともに、カウンタ値(1T~7T)のインクリメントが行われることになる。

【0062】

つぎに、図4に示す時刻T2では、第1の比較手段71において、カウンタ手段73の出力としてのカウンタ値(1T~4T)と、外部コントローラ40から受信するパルス幅データ(W0~W3)とが一致し、Dフリップフロップ75に対して"1"を出力する。そして、基準クロック信号の立ち上がりによって、Dフリップフロップ75に"1"がセットされるとともに、RSフリップフロップ76にて"0"がセットされるので、パルス駆動信号は、"1"レベルから"0"レベルに切り替わる。

【0063】

このようにして、フィラメントパルス制御手段 2 1 2 は、パルス幅データに対応したパルス幅の期間、パルス駆動信号を一方のレベルとし、パルス周期データに対応したパルス周期のうち、前記パルス幅以外の期間、パルス駆動信号を他方のレベルとして、パルス駆動信号のパルス幅又はパルス周期の少なくともいずれかを設定することができる。

【0064】

ところで、パルス駆動信号のパルス幅又はパルス周期のいずれか一方を設定する場合は、設定しない側のパルス幅データ又はパルス周期データを前の設定に用いたデータの内容に固定にするとともに、外部コントローラ 4 0 から設定する側のパルス幅データ又はパルス周期データの更新データを受信し、その受信した更新データに基づいて、設定する側のパルス幅又はパルス周期の設定のみを更新するようにすればよい。この場合、V F D 駆動回路 2 0 は、設定しない側のパルス幅データ又はパルス周期データを、前記更新データと併せて外部コントローラ 4 0 から受信するようにしてもよいし、前の設定に用いたデータ内容を保持しておき、その保持しておいたデータを用いるようにしてもよい。

【0065】

以上、本発明に係る V F D 駆動回路は、パルス駆動信号（すなわち、フィラメントパルス電圧）のデューティ比を、外部コントローラから受信するデータ（パルス幅データ、パルス周期データ）に基づき、適宜なタイミングにて、きめ細かく調整することが可能となる。このことは、フィラメントパルス電圧のデューティ比の変動に起因した、V F D 1 0 表示における輝度品位の低下やフィラメント 1 1 の劣化を抑制できるので、V F D 駆動回路の信頼性を向上させることができる。

【0066】

また、パルス駆動信号を設定するための基準クロック信号の周波数が、所定の周波数帯域内（可聴帯域以上かつ所定の上限周波数以下）にあっても、本発明に係る V F D 駆動回路は、パルス駆動信号のパルス幅又はパルス周期の少なくともいずれか一方を、適宜なタイミングにて、きめ細かく設定することが容易なもの

となる。

【0067】

上記実施形態において、VFD駆動回路20を半導体集積回路とし、フィラメントパルス電圧を生成するスイッチング素子50を外部に接続可能とするインタフェース（例えば、上述したFPCON端子）を備えるようにしてもよい。

【0068】

上記実施形態において、VFD駆動回路20を用いた様々なアプリケーション回路（例えば、蛍光表示管モジュール）に対して、スイッチング素子50を備えるようにしてもよい。この場合、VFD駆動回路20は、半導体集積回路であり、スイッチング素子50を外部に接続可能としてもよいし、スイッチング素子50を集積化した半導体集積回路としてもよい。

【0069】

【発明の効果】

本発明によれば、フィラメントのパルス駆動方式を用いた蛍光表示管駆動回路の信頼性を向上させることができる。

【図面の簡単な説明】

【図1】

本発明に係る一実施形態としての蛍光表示管駆動回路を含めたシステムの概略構成図である。

【図2】

本発明に係る一実施形態としての外部コントローラと蛍光表示管駆動回路との間のデータ転送フォーマットについてのタイミングチャートである。

【図3】

本発明に係る一実施形態としての蛍光表示管駆動回路のブロック図である。

【図4】

パルス駆動信号の波形を説明する図である。

【図5】

本発明に係るパルス幅データの設定に関する対照表である。

【図6】

本発明に係るパルス周期データの設定に関する対照表である。

【図 7】

本発明に係る一実施形態としてのフィラメントパルス制御手段の回路構成図である。

【図 8】

従来のパルス駆動方式を説明する図である。

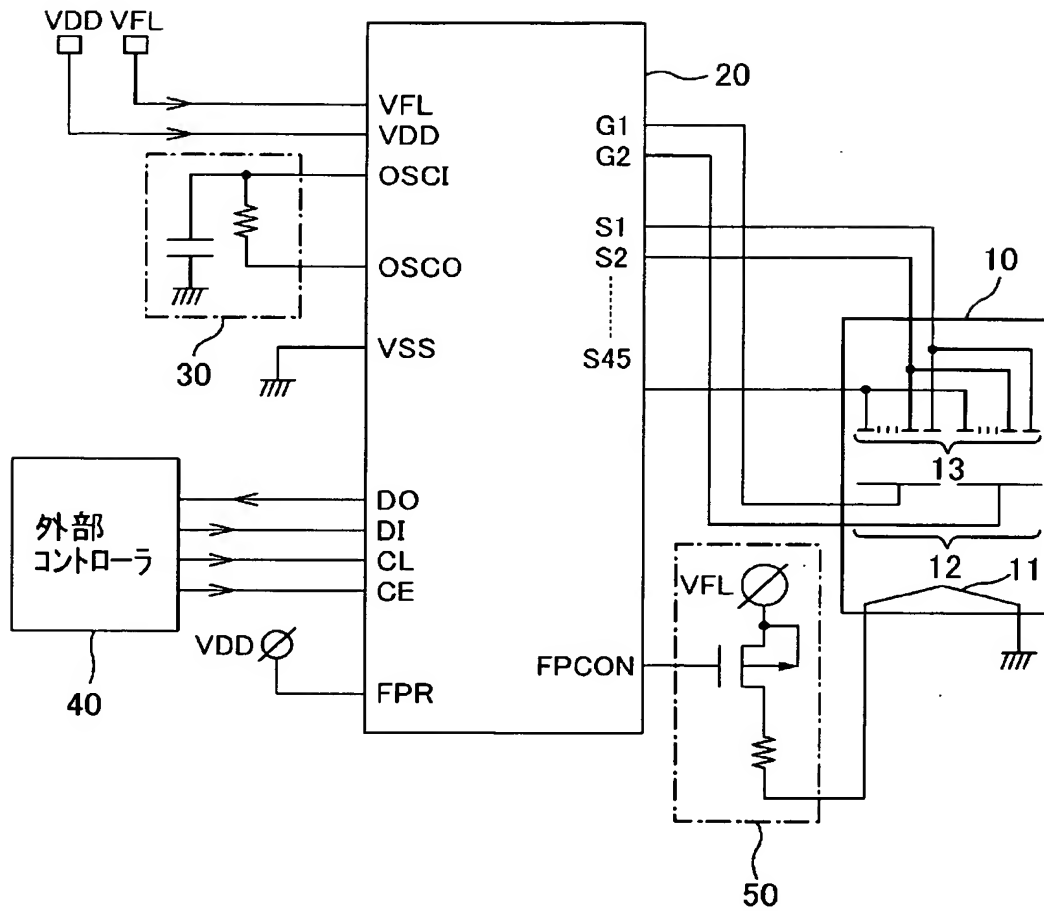
【符号の説明】

- 10 VFD
- 11 フィラメント
- 12 グリッド
- 13 セグメント
- 20 VFD 駆動回路
- 201 インタフェース部
- 202 発振回路
- 203 分周回路
- 204 タイミング発生器
- 205 シフトレジスタ
- 206 コントロールレジスタ
- 207 ラッチ回路
- 208 マルチプレクサ
- 209 セグメントドライバ
- 210 グリッドドライバ
- 211 デイマー制御手段
- 212 フィラメントパルス制御手段
- 30 外部発振器
- 40 外部コントローラ
- 50 スイッチング素子
- 71 第 1 の比較手段
- 72 第 2 の比較手段

- 7 3 カウンタ手段
- 7 4 7 5 Dフリップフロップ
- 7 6 R Sフリップフロップ
- 7 7 パルス駆動信号生成手段

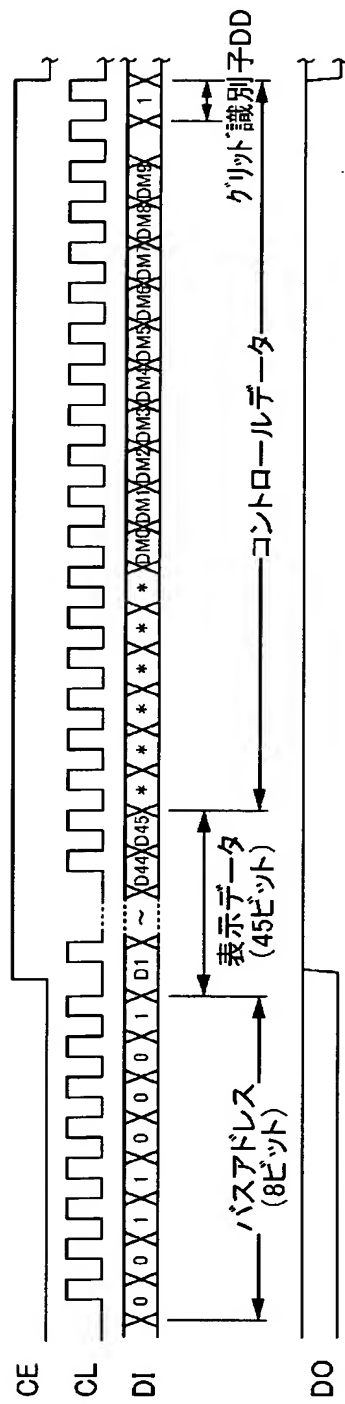
【書類名】 図面

【図 1】

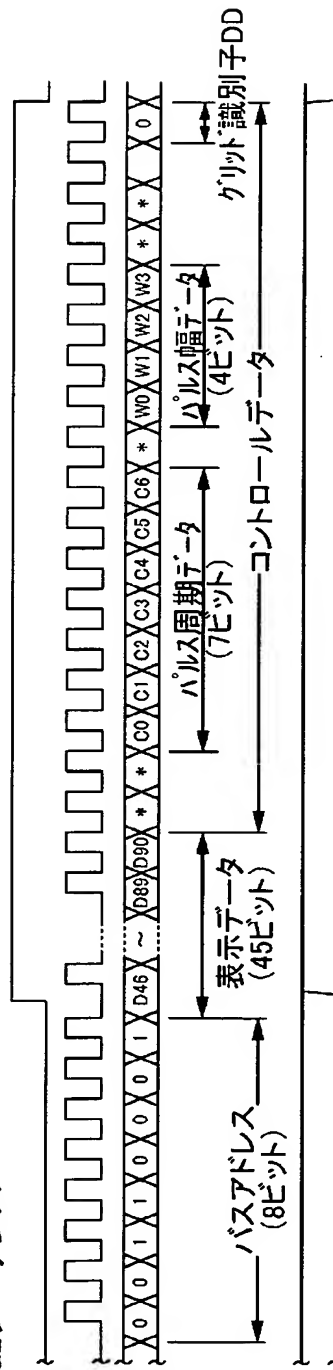


【図 2】

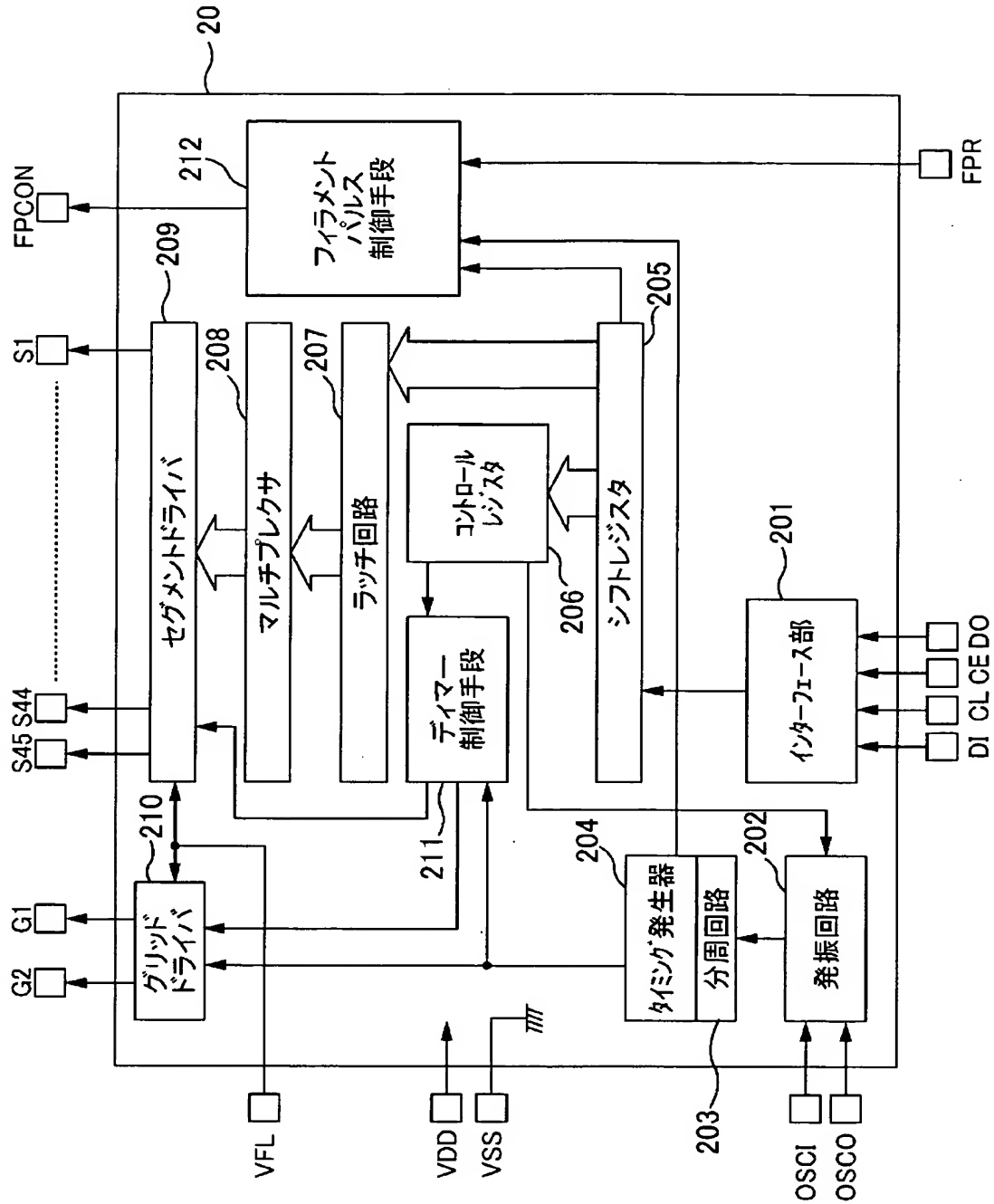
(a) G1シーケンス



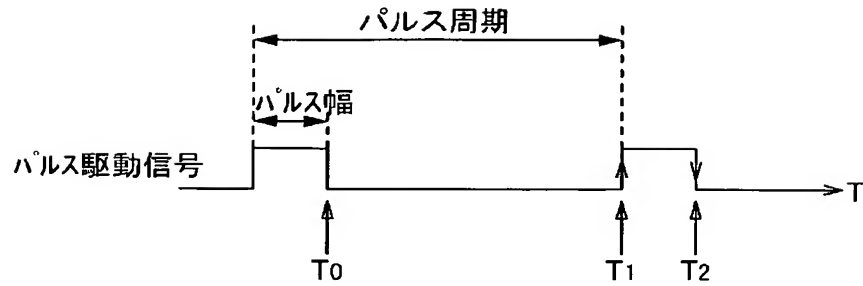
(b) G2シーケンス



【図 3】



【図 4】



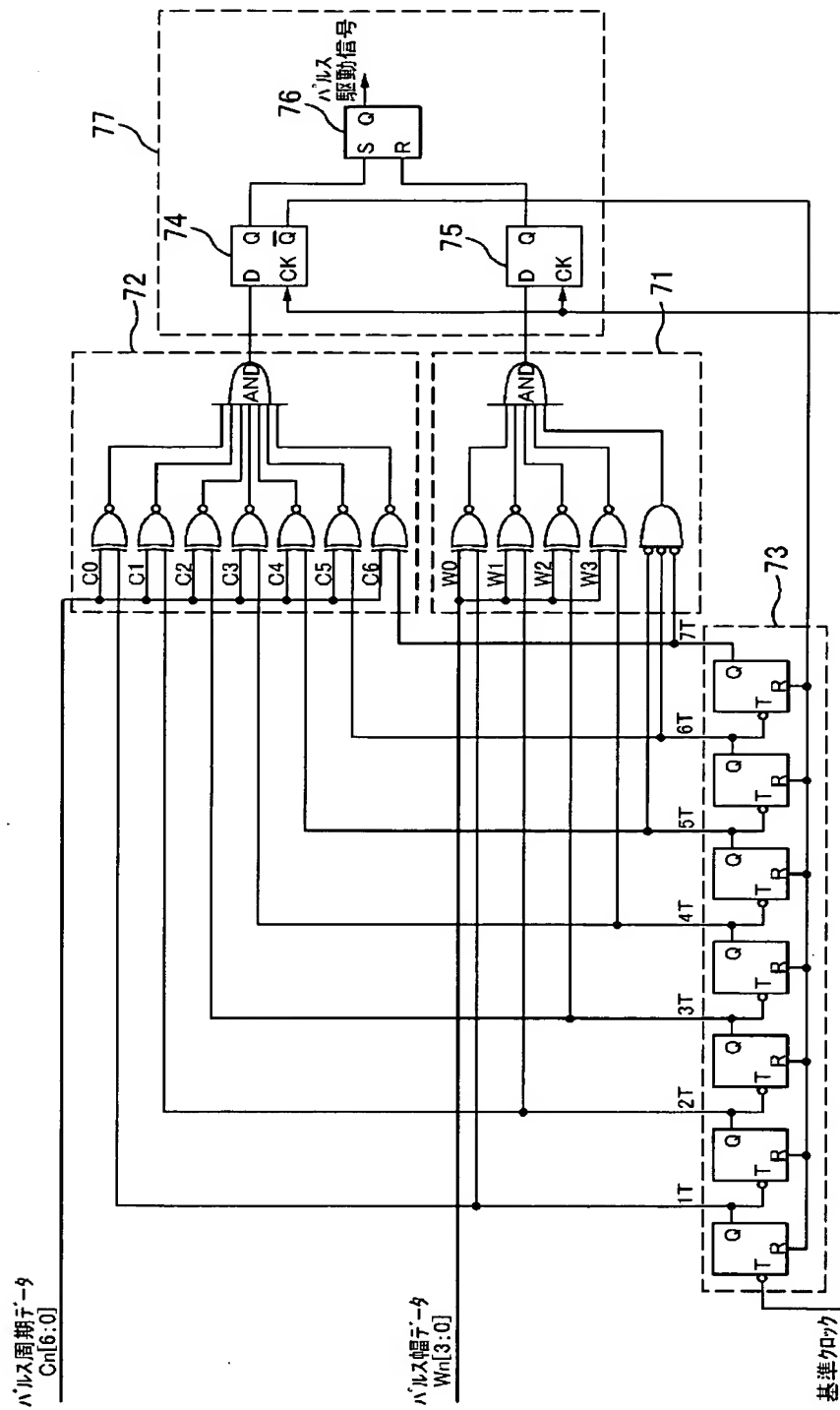
【図 5】

| W3 | W2 | W1 | W0 | Wnの設定値 | FPCパルス幅 |
|----|----|----|----|--------|-----------|
| 0 | 0 | 0 | 0 | — | — |
| 0 | 0 | 0 | 1 | 3 | $3/fosc$ |
| 0 | 0 | 1 | 0 | 4 | $4/fosc$ |
| ～ | | | | | ～ |
| 0 | 1 | 1 | 0 | 8 | $8/fosc$ |
| ～ | | | | | ～ |
| 1 | 1 | 1 | 0 | 16 | $16/fosc$ |
| 1 | 1 | 1 | 1 | 17 | $17/fosc$ |

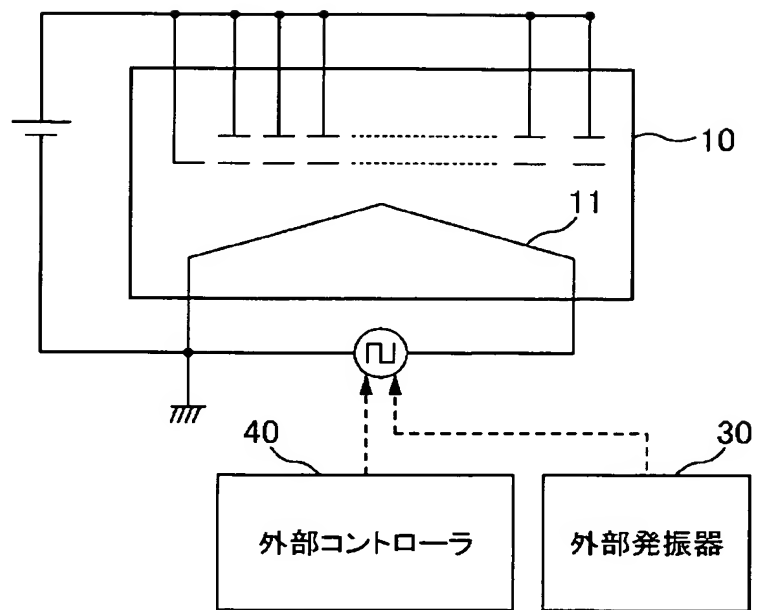
【図 6】

| C6 | C5 | C4 | C3 | C2 | C1 | C0 | Cnの設定値 | FPCパルス周期 |
|----|----|----|----|----|----|----|--------|------------|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | — | — |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | — | — |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 4 | $4/fosc$ |
| 0 | 0 | 0 | 0 | 0 | 1 | 1 | 5 | $5/fosc$ |
| ～ | | | | | | | | ～ |
| 1 | 0 | 0 | 0 | 1 | 1 | 0 | 72 | $72/fosc$ |
| ～ | | | | | | | | ～ |
| 1 | 1 | 1 | 1 | 1 | 1 | 0 | 128 | $128/fosc$ |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 129 | $129/fosc$ |

【図 7】



【図 8】



【書類名】 要約書

【要約】

【解決手段】 蛍光表示管のフィラメントをパルス駆動するための蛍光表示管駆動回路において、外部から受信するデータに基づき、前記フィラメントをパルス駆動するためのパルス駆動信号のパルス幅又はパルス周期の少なくともいずれか一方を設定可能とするフィラメントパルス制御手段を備えることを特徴とする蛍光表示管駆動回路。

【選択図】 図 1

特願 2 0 0 3 - 0 8 6 4 6 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 8 8 9]

1. 変更年月日

1 9 9 3 年 1 0 月 2 0 日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通 2 丁目 5 番 5 号

氏 名

三洋電機株式会社